

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

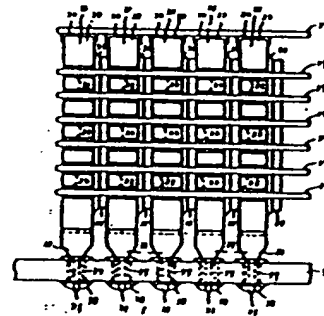
**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

JA 0112348  
JUL 1983**(54) SEMICONDUCTOR DEVICE**

(11) 58-112348 (A) (43) 4.7.1983 (19) JP  
 (21) Appl. No. 56-211715 (22) 25.12.1981  
 (71) FUJITSU K.K. (72) NOBUHIKO MIZUO  
 (51) Int. Cl. H01L23/12, H01L23/48

**PURPOSE:** To obtain a chip carrier mounted semiconductor device having a structure that the device can be loaded vertically to a wiring substrate.

**CONSTITUTION:** In a structure wherein the mount density is most enhanced, semiconductor memory devices 35 are erected and arranged on the wiring substrate in a state that each is contacted on the upper and lower surfaces, and the pin external conductive terminal 21 of each semiconductor memory device 35 is inserted into a fixed through hole 37 in the wiring substrate 36, then soldered and fixed. On a coat external conductive terminal 22 the common signal terminal in each memory device 35, a series of common signal wires constituted respectively of conductor 39 are soldered at every row. Two pieces of the pin external conductive terminal are provided, but any number of pieces are available, as required. Or, one, which is bar form and formed by burying one end in the carrier, can be also used. While, the cap can be formed of ceramics. Further, it is applicable to a metallic package and a plastic package.



⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭58-112348

⑫ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 昭和58年(1983)7月4日

H 01 L 23/12

7357-5F

23/48

7357-5F

発明の数 1

審査請求 未請求

(全 4 頁)

⑭ 半導体装置

川崎市中原区上小田中1015番地

富士通株式会社内

⑮ 特 願 昭56-211715

⑯ 出 願 人 富士通株式会社

⑰ 出 願 昭56(1981)12月25日

川崎市中原区上小田中1015番地

⑱ 発 明 者 水尾允彦

⑲ 代 理 人 弁理士 松岡宏四郎

1. 発明の名称

2. 特許請求の範囲

3. 発明の詳細な説明

(a) 従来の技術と問題点

(b) 技術的効果

(c) 実施例

(d) 発明の産業上の利用可能性

(e) 発明の要約

(f) 発明の図面

(g) 発明の具体例

(h) 発明の他の特徴

(i) 発明の他の特徴

(j) 発明の他の特徴

(k) 発明の他の特徴

(l) 発明の他の特徴

(m) 発明の他の特徴

(n) 発明の他の特徴

(o) 発明の他の特徴

(p) 発明の他の特徴

(q) 発明の他の特徴

(r) 発明の他の特徴

(s) 発明の他の特徴

(t) 発明の他の特徴

(u) 発明の他の特徴

(v) 発明の他の特徴

(w) 発明の他の特徴

(x) 発明の他の特徴

(y) 発明の他の特徴

(z) 発明の他の特徴

それによってシステム内の配線長が長くなり計算速度の低下を招く。そこで、計算機システム等に対する半導体IC素子の集積密度を高めシステムの大規模化を促す手段として提供されたのが、チップ・キャリア実装構造の半導体IC装置である。

(a) 従来の技術と問題点

従来から用いられているチップ・キャリアの中で、最も集積密度が高められる構造にリードレス・チップ・キャリアがある。図1図はリードレス・チップ・キャリアに実装された半導体IC装置に於ける一例の断面図10及び底面図11を示したものである。そして図10に於て1はセリシノ層、2はセリシノ層、3は炭素に金(Au)のめっき等が施されたチップ・スタンプ、4は炭素にAuのめっき等が施されている内部配線、5は内部配線からそれぞれ延出するAuのめっき等が施されている外部配線、6は外部配線がそれぞれ底面に延出する炭素にAuのめっき等が施された筐体状の外部端子、7はチップろう付け用ノライズ層、8は金質チップ、9は炭素(Au)合金等のろう材、

10は半導体ICチップ、11はゲンディング・  
パッド、12はアルミニウム(Au)等のゲン  
ディング・ワイヤ、13は金(Au)/シリコン  
(Si)層を示している。

このように製造を有する従来のチップ・キャ  
リアに実装された半導体IC装置は、計算機シス  
テム等に搭載される配線基板に対して底面を下に  
して水平に(平面)実装される。その実装状態を  
示したのが図2で、図中14は前記チップ・キャ  
リア実装面の半導体IC装置、15はセラミッ  
クスあるいはプラスチックにより形成された配線基  
板、16は配線パターン、6は前記外部導電端子、17  
は平坦等のろう材を覆っている。

上記のように従来のチップ・キャリア実装面  
の半導体IC装置に於ては配線基板に対して平面  
実装がなされるために、チップ・キャリアの平面  
状によって実装密度が制限され更に実装密度を高  
めることができなかった。

#### (4) 発明の目的

本発明は上記問題点に鑑み、配線基板に対して

チップ・キャリア23上に例えば金質チップ24が  
実装されている。また前記チップ・キャ  
リア23に於けるピン状外部導電端子21は、通常  
前記の内部配線26からチップ・キャリア23  
の一面側に突出された外部配線27、上に鉄/ニ  
ッケル合金等通常の導電材料からなる例えばピン  
状打抜き加工片がろう28等によりろう付けさ  
れて形成され、又被覆状外部導電端子22は内部  
配線26からチップ・キャリア23の他記以外  
の三面側に導出された外部配線27も上に金め  
き等が施されて形成される。そして半導体メモ  
リ・チップ24は通常前記のチップ・サブージ29  
上に金/シリコン合金30等を介してろう付けさ  
れ、例えば前記半導体メモリ・チップ24のチップ  
・パッド端子等チップ固有の信号が読まれるパ  
ッド端子31、とピン状外部導電端子に接続する  
内部配線26、とがアルミニウム等のゲンディング  
・ワイヤ31により接続される。又入出力端子、  
電極端子等各メモリ・チップに対して共通に配  
線されるパッド端子31と被覆状外部導電端子22

両面に実装することが可能を製造を有するチップ  
・キャリア実装の半導体装置を提供し、実装密度  
を向上せしめることを目的とする。

#### (5) 発明の構成

本発明は半導体装置に於て、半導体チップが、  
一外部導電面にピン状の導電端子を有し他の外部導  
電面に被覆状の導電端子を有するチップ・キャリア  
に実装されてなることを特徴とする。

#### (6) 発明の実施例

以下本発明を、半導体メモリ装置に於ける一実  
施例について、第3図に示す上面図(1)、断面図(2)、  
A-A'矢視断面図(3)、下面図(4)、及び図(5)に  
示す実装方法に於ける一実施例の上面図(6)、断面  
図(7)を用いて詳細に説明する。

本発明を適用した半導体メモリ装置は、例えば  
第3図(1)、(2)、(3)、(4)に示すよう、一面側に例え  
ば2(本)のピン状外部導電端子21が配置され、  
他の三面側に所望数の被覆状外部導電端子22が  
配置されたセラミック・チップ・キャリア23内  
に半導体メモリ・チップ24が実装され、図(5)

に示す内部配線26とがゲンディング・ワ  
イヤ32により接続される。本発明の構成に於て  
は、通常どのようにピン状外部導電端子21をチ  
ップ・キャリア端子等各メモリ装置に固有な信号  
端子とし、被覆状外部導電端子22を入出力端子  
あるいは電極端子等各メモリ装置に対する共通  
信号の端子とする。そして上記のように半導体メモ  
リ・チップ24が実装されたチップ・キャリア23  
上面に形成されている通常前記の停止層33上に  
金/銅合金等のろう材34を介して金質チップ  
25が実装にろう付けされてをっている。

本発明の構成を有する半導体装置は該半導体  
装置に配置されたピン状外部導電端子を介して配  
線基板上に立てて実装することが出来る。

第4図は前記実施例に示した半導体メモリ装  
置の実装例を示したもので、図中21はピン状  
外部導電端子(固有信号端子)、22は被覆状外  
部導電端子(共通信号端子)、23はセラミック・  
チップ・キャリア、24は金質チップ、34は  
ろう材、35は半導体メモリ装置、36は

チップ・キャリア23上に例えば金質チップ24が  
実装されている。また前記チップ・キャ  
リア23に於けるピン状外部導電端子21は、通常  
前記の内部配線26からチップ・キャリア23  
の一面側に突出された外部配線27、上に鉄/ニ  
ッケル合金等通常の導電材料からなる例えばピン  
状打抜き加工片がろう28等によりろう付けさ  
れて形成され、又被覆状外部導電端子22は内部  
配線26からチップ・キャリア23の他記以外  
の三面側に導出された外部配線27も上に金め  
き等が施されて形成される。そして半導体メモ  
リ・チップ24は通常前記のチップ・サブージ29  
上に金/シリコン合金30等を介してろう付けさ  
れ、例えば前記半導体メモリ・チップ24のチップ  
・パッド端子等チップ固有の信号が読まれるパ  
ッド端子31、とピン状外部導電端子に接続する  
内部配線26、とがアルミニウム等のゲンディング  
・ワイヤ31により接続される。又入出力端子、  
電極端子等各メモリ・チップに対して共通に配  
線されるパッド端子31と被覆状外部導電端子22

代理人 介定士

「我を有する」  
と提供し、英米両国  
の半導体チップが、  
子をもし他の外国  
るチップ・メーカー  
とする。

と平面に於ける一異  
面上面図H)、側面図M、  
後面図N、及び別4面図  
地面の上上面図O、側面  
る。

ノモリ位置は、門入は  
下より、一面図内門入  
有期子21が配設され  
1状外面導有期子22が  
トップ・ヤ・リ723門  
24が装設され、即チ

が  $\phi = \frac{1}{\sqrt{2}} (\psi_1 + i\psi_2)$  とする。本発明の調度Kは、  
状態外部導電電子2-1をナ  
ノメモリ装置Kに固有な値付  
電磁子2-2を入出力端子  
より装置Kに対する共通信  
道上記のように半導体ノメモ  
リとしたチップ・パッケージ2-3  
と電磁子の列状部3-3上、  
3-6を介して金属チップ  
されてになっている。  
る半導体装置は該半導体膜  
外部導電電子を介して配線  
るとしてある。  
Kを示した半導体ノメモリ  
、ので、図中1はピン接  
り端子)、2-2は初級外部  
電子)、2-3はチップ、  
2-3は金属チップ、  
半導体ノメモリ装置、3-6

第4図は最も真鍮面を高くした真鍮列で、  
真鍮面側には、半導体ノモリ線35は上、  
下面で交互に接合した状態で配線高36上に  
立て並べられ、各半導体ノモリ線35のピン状  
外面部で端子21が配線高36に接ける所定  
スルーホール37に差し込まれ平田付けされて固  
定される。そして各ノモリ線35に接ける共通  
信号端子である被覆状外面部で端子22上には各  
列毎にそれぞれ導線38からなる一通の共通信号  
線が平田付けされる。

な上記列例に於てはピン状外部導電端子を  
 2〔本〕設けたが、該端子は必要に応じて何本も  
 設け得る。又該ピン状外部導電端子は棒状  
 で一層がキャップ内に埋め込まれて形成されたも  
 のでもよい。又キャップはセラミックスであつて  
 もよい。更に又本発明は金属パターン、プラス  
 チックパターンにも適用することが出来る。

プ、26a及び26bは内配配線、27a及び27bは外配配線、28は異ろり、29はチップ・スター、30は金/シリコン合金、31a及び31bはパッド端子、32はボンディング・ワイヤ、33は封止剤、34はろう材、35は半導体ノックアップ、36は配線基板、37はスルーホール、38は平坦、39は導通を示す。

代理人 弁護士 松岡 定政

#### ④ 另明○效果

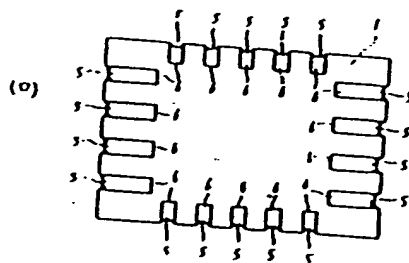
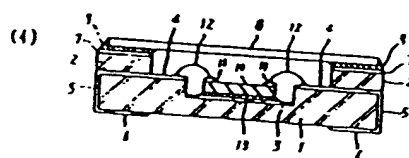
以上説明したように本発明の構造を有する半導体装置は、配線基板上に立てて実装することができ、そこで第4図に示すような配線基板上への実装方法が可視であり、図からも明らかなように従来の平面実装構造に比べて実装密度を大幅に向上せしめることができる。

従つて本発明は計算機システム等の高速化、小型化に對して有効である。

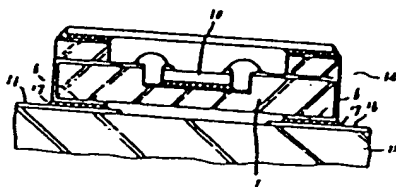
#### 4. 図面の簡単な説明

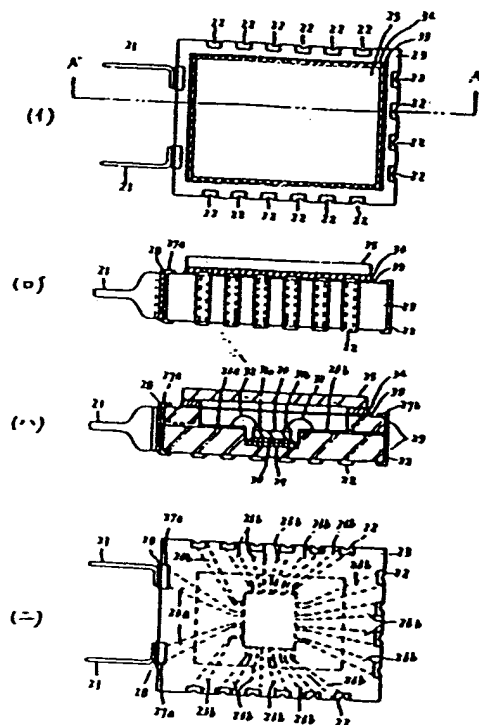
第1圖は従来製造の断面図位及び下面図位、第2圖は従来の特長製造の断面擴大圖、第3圖は本發明の平均体積値に於ける一實施例の上面図位、側面図位、A-A'矢視断面図位、下面図位で、第4圖は本發明の平均体積値に於ける一實施例の上面図位及び側面図位である。

図に於て、21はピン状外部導電端子（固有信号端子）、22は線状外部導電端子（共通信号端子）、23はセラミック・チップ・キャリア、24は半導体メモリ・チップ、25は金属キャ



系 列 圖





第 4 图

